

2-2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135401

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 23/50

(21)Application number : 08-301370

(71)Applicant : MITSUI HIGH TEC INC

(22)Date of filing : 25.10.1996

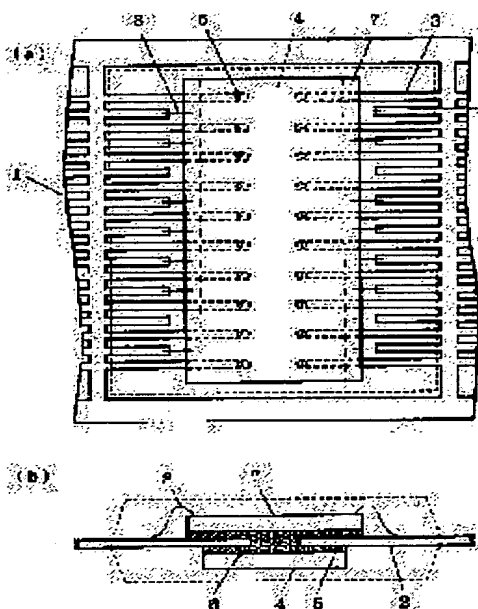
(72)Inventor : HANADA HIDESHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which ensures a superior performance and high reliability as well as a small size of the device itself with realizing the high performance and multiple functions.

SOLUTION: The device comprises first and second inner leads 2, 3 opposed from the frame edge to a central area, first semiconductor chip 4 having terminals at the central area and supported on first sides of the first inner leads 2 connected to the terminals of the chip 4 through bumps 6, and second semiconductor chip 7 having terminals at the periphery and supported on the second sides of the first inner leads 2. The terminals of this chip 7 are connected to the second inner leads 3 through bonding wires 8 and both sides of each first inner lead 2 and each second inner lead 3 are sealed with resin.



LEGAL STATUS

[Date of request for examination] 21.03.2000

[Date of sending the examiner's decision of rejection] 16.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2-1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135401

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

W

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号 特願平8-301370

(22) 出願日 平成 8 年 (1996) 10月25日

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺 2 丁目 10-1

(72) 発明者 花田 英志

福岡県北九州市八幡西区小嶺 2 丁目 10 番 1

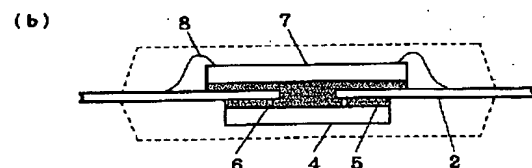
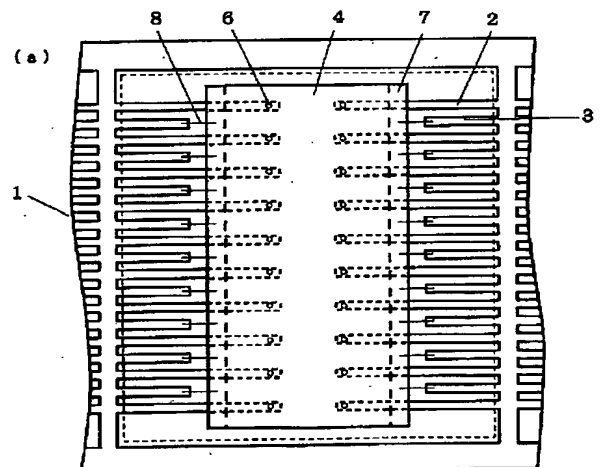
号 株式会社三井ハイテック内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置の高性能化、多機能化を図りつつ、半導体装置自体の小型化を可能とし、優れた性能と信頼性を確保した半導体装置を提供する。

【解決手段】 第1のインナーリード2および第2のインナーリード3が枠縁から中央部に向かって対峙して形成され、前記第1のインナーリード2の片面に端子を中央部に設けた第1の半導体チップ4を支持搭載し、該第1の半導体チップの端子と前記第1のインナーリード2とが bumps 6 により接続されており、前記第1のインナーリード2の他面には外周に端子を設けた第2の半導体チップ7を支持搭載し、該第2の半導体チップ7の端子と前記第2のインナーリード3とがボンディングワイヤ8により接続され、前記第1のインナーリード2および前記第2のインナーリード3の両面が樹脂封止されていることを特徴とする半導体装置である。



1

【特許請求の範囲】

【請求項1】 リードフレームの両面に半導体チップを搭載した半導体装置において、第1のインナーリードと第2のインナーリードが枠縁から中央部に向かって対峙して形成され、前記第1のインナーリードの片面に端子を中央部に設けた第1の半導体チップを支持搭載し、該第1の半導体チップの端子と前記第1のインナーリードとがバンプにより接続されており、前記第1のインナーリードの他面には外周に端子を設けた第2の半導体チップを支持搭載し、該第2の半導体チップの端子と前記第2のインナーリードとがボンディングワイヤーにより接続され、前記第1のインナーリードと前記第2のインナーリードの両面が樹脂封止されていることを特徴とする半導体装置。

【請求項2】 前記第1の半導体チップの端子と前記第1のインナーリードとがボンディングワイヤーにより接続されていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、リードフレームのインナーリードの両面に半導体チップを搭載した半導体装置に関する。

【0002】

【従来の技術】 一般に、半導体装置（IC）は、リードフレームのダイパッドで半導体チップを支持搭載し、この半導体チップに設けられた各端子と、これに対応する各インナーリードとをボンディングワイヤーにより接続し、封止材料によって前記インナーリード以内を樹脂封止した後、この樹脂封止体より突出するアウターリードを所望の形状に成形して完成される。

【0003】

【この発明が解決しようとする課題】 しかしながら、上記のような半導体装置では、半導体チップの片面全域がダイパッドに固着されるため、導体回路はもう一方の片面のみにしか形成されておらず、半導体チップの集積度も限られているばかりか、ダイパッドの占める領域の分だけ半導体装置自体の小型化が妨げられている。

【0004】 また、半導体チップ材料とダイパッド材料ならびに封止樹脂材料のそれぞれの熱膨張係数の差異によって生じるダイパッド近辺での前記各材料界面の剥離の発生など、ダイパッドの存在が半導体装置の信頼性を低下させている要因となっている。

【0005】 近年、エレクトロニクス機器においては高性能化、多機能化に伴い、半導体チップも高集積化が図られ、半導体チップが大型化する一方で半導体装置自体はより一層の小型化を求められており、前記問題の解決は急務である。

【0006】 本発明は、前記の実情に鑑みてなされたもので、半導体装置の高性能化、多機能化を図りつつ、半

2

導体装置自体の小型化を可能にした、優れた性能と信頼性を確保した半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成する本発明の特徴とするところは、リードフレームの両面に半導体チップを支持搭載した半導体装置において、第1のインナーリードと第2のインナーリードが枠縁から中央部に向かって対峙して形成され、前記第1のインナーリードの片面に端子を中央部に設けた第1の半導体チップを支持搭載し、該第1の半導体チップの端子と前記第1のインナーリードとがバンプにより接続されており、前記第1のインナーリードの他面には外周に端子を設けた第2の半導体チップを支持搭載し、該第2の半導体チップの端子と前記第2のインナーリードとがボンディングワイヤーにより接続され、前記第1のインナーリードと前記第2のインナーリードの両面が樹脂封止されていることを特徴とする半導体装置にある。

【0008】

【発明の実施の形態】 本発明では、枠縁から中央方向に向かって対峙して形成された第1のインナーリードと第2のインナーリードのうち、前記第1のインナーリードの下面に中央に端子が設けられた第1の半導体チップを支持搭載すると共に、前記第1の半導体チップの各端子と前記第1のインナーリードとがバンプを介して接続されており、前記第1のインナーリードの上面には周縁に端子を設けられた第2の半導体チップを支持搭載し、該第2の半導体チップの各端子と前記第1のインナーリードより短く形成された前記第2のインナーリードとがボンディングワイヤーによって接続され、前記第1のインナーリードおよび前記第2のインナーリードの両面を樹脂封止している。従って、本発明では一つの半導体装置に2個の半導体チップを搭載しており、半導体装置の高性能化、多機能化を図ることができると共に、使用するリードフレームにはダイパッドが存在しておらず、従来、このダイパッドが占めていた領域の分だけ半導体装置の小型化が可能となる。

【0009】 さらに、第1の半導体チップおよび第2の半導体チップが第1のインナーリードの両面によって支持搭載されているため、前記第1および第2の半導体チップと前記第1のインナーリードとの接触面積が僅かであることから、従来、半導体チップ材料およびダイパッド材料ならびに封止樹脂材料のそれぞれの熱膨張係数の差異に起因して発生していたダイパッド近辺の前記各材料界面での剥離を防止でき、また、半導体チップと封止樹脂材料との接触領域が増すことから、半導体装置内部のより強固な密着状態を得ることが可能になり、長期に亘り半導体装置の信頼性が確保される。

【0010】

【実施例】 以下、本発明の実施例を図面に基づいて説明する。図1において、リードフレーム1は第1のインナ

3

ーリード2と第2のインナーリード3が枠縁両側から延長して中央部に向かって対峙して形成され、前記第2のインナーリード3は前記第1のインナーリード2より短く中間に形成されている。4は前記リードフレーム1の片面、この実施例では前記インナーリード2下面に熱硬化性、または熱可塑性テープ、あるいは弾性を有するエラストマ等の接着材5を介して支持搭載された第1の半導体チップで、端子が主面の中央部に設けられ、前記インナーリード2とバンプ6を介して接続されている。従って、信号伝送の高速化が図られるため、第1の半導体チップ4は例えばメモリ用に適したものを搭載できる。7は前記第1のインナーリード2の上面に前記同様の接着材5を介して支持搭載された第2の半導体チップであり、例えばロジック用に適したもので端子が主面の外周に設けられ、長さの短い前記第2のインナーリード3とボンディングワイヤー8で接続され、前記第1のインナーリード2および前記第2のインナーリード3の両面を封止樹脂材料を用いて樹脂封止して本発明半導体装置が完成される。

【0011】本発明による半導体装置では、前記のように一つの半導体装置に機能の異なる半導体チップを2個搭載できることから、半導体装置の高性能化、多機能化を図ることができる。

【0012】また、前記のように第1の半導体チップ4および第2の半導体チップ7を第1のインナーリード2の両面によって支持搭載している。従って、本発明で用いるリードフレームにはダイパッドは存在しておらず、従来、ダイパッドが占めていた領域の分だけ半導体装置の小型化が可能となる。

【0013】さらには、第1の半導体チップ4および第2の半導体チップ7を第1のインナーリード2の両面で支持搭載するにあたり、前記第1のインナーリード2は幅狭であるため、ダイボンディング工程あるいは基板実装時の加熱加圧による熱ストレスを受けにくく、封止樹脂の充填率向上と相乗して半導体チップ材料、リードフレーム材料および封止樹脂材料のそれぞれの熱膨張係数の

4

差異によってダイパッド近辺に生じていた前記各材質界面での剥離を防止できると共に、半導体装置内部部位の強固な密着状態を保持できる。

【0014】なお、この実施例では第1のインナーリード2の下面側に中央に端子を設けた第1の半導体チップを支持搭載し、上面側に周縁に端子を設けた第2の半導体チップを支持搭載しているが、第1の半導体チップを前記第1のインナーリードの上面側に、第2の半導体チップを下面側に支持搭載するようにしてもよい。

【0015】また、第1のインナーリードおよび第2のインナーリードは2方向のみから延長して中央部に向かって対峙して形成されるものに限らず、4方向から延長するようにして形成してもよい。

【0016】前記実施例では第1の半導体チップの端子と第1のインナーリードとをバンプにより接続したが、これに代えてボンディングワイヤーにより接続するようにしてもよい。

【0017】

【発明の効果】以上のように本発明によれば、一つの半導体装置に2個の半導体チップをインナーリードの両面によって支持搭載することにより、半導体装置の高性能化、多機能化を図ると共に、半導体装置自体の小型化を可能とし、また、半導体装置内部部位の密着状態が強固になることにより、優れた性能を有し且つ長期に亘る信頼性を確保した半導体装置が得られる。

【図面の簡単な説明】

【図1】(a)、本発明による半導体装置正面図

(b)、本発明による半導体装置断面図

【符号の説明】

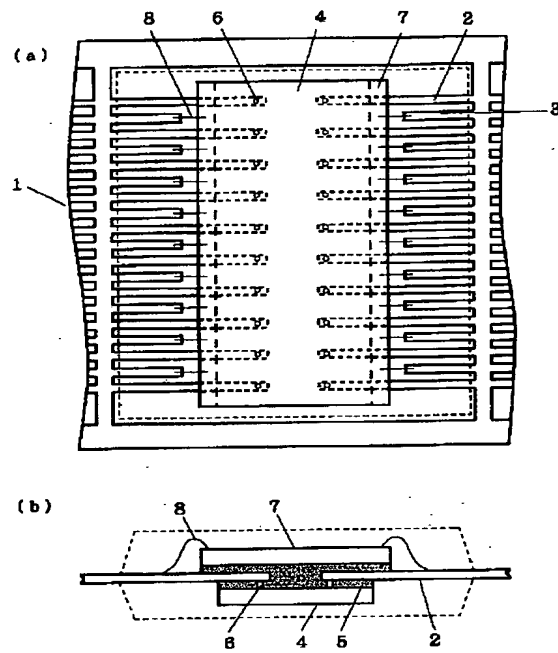
- 1、リードフレーム
- 2、第1のインナーリード
- 3、第2のインナーリード
- 4、第1の半導体チップ
- 5、接着材
- 6、バンプ
- 7、第2の半導体チップ

10

20

30

【図1】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.